

文章编号:1007-2780(2016)04-0363-07

LTPS TFT 层间绝缘层过孔刻蚀的工艺优化

陈丽雯¹, 叶 芸^{1*}, 郭太良¹, 彭 涛², 周秀峰², 文 亮²

(1. 福州大学 物理与信息工程学院, 福建 福州 350001;

2. 厦门天马微电子有限公司, 福建 厦门 361101)

摘要:为了适应 LTPS TFT LCD 显示屏超高分辨率极细布线的趋势,降低 LTPS TFT 层间绝缘层过孔刻蚀带来的良率损失,提高产品品质,本文研究了 LTPS TFT 层间绝缘层过孔刻蚀的工艺优化。实验以干法刻蚀为主刻蚀,湿法刻蚀为辅刻蚀的方式,既结合干法刻蚀对侧壁剖面角及刻蚀线宽的精确控制能力,又利用了湿法刻蚀高刻蚀选择比的优良特性,改善了层间绝缘层刻蚀形貌,减少干法刻蚀对器件有源层的损伤,避免有源层被氧化,防止刻蚀副产物污染开孔表面。实验结果表明,干法辅助湿法刻蚀能基本解决刻蚀过程中过刻、残留的问题,使得层间绝缘层过孔不良率损失减少 73% 以上,且 TFT 源漏电极接触电阻减小约 90%,器件开态电流提升约 15%。干法辅助湿法刻蚀是一种优化刻蚀工艺,提升产品性能的新方法。

关键词: LTPS TFT LCD; 干法刻蚀; 湿法刻蚀; 层间绝缘层过孔; 接触电阻; 器件性能

中图分类号: TN43 **文献标识码:** A **doi:** 10.3788/YJYXS20163104.0363

Optimization of via etching process of LTPS TFT interlayer dielectric

CHEN Li-wen¹, YE Yun^{1*}, GUO Tai-liang¹, PENG Tao², ZHOU Xiu-feng², WEN Liang²

(1. College of Physics and Information Engineering, Fuzhou University, Fuzhou 350001, China;

2. Xiamen Tianma Micro Electronics Co. LTD, Xiamen 361101, China)

Abstract: In order to adapt to the trend of ultra-high resolution and extremely fine wiring of LTPS TFT LCD display, reduce the yield loss generated by via etching process of LTPS TFT interlayer dielectric, and improve the production quality, the process optimization of via etching process of LTPS TFT interlayer dielectric was investigated. The experiments were based on dry etching as the main etching step assisted with wet etching. It not only combined with the excellent control of profile and feature size of dry etching but also got high etching selectivity of wet etching. The experiments also aimed at reducing the damage and defects reduced by dry etching and avoiding pollution of the hole surface by etching by-products. Experimental results indicated that dry etching assisted with wet etch-

收稿日期: 2015-12-17; **修订日期:** 2015-12-28.

基金项目: 国家 863 重大专项 (No. 2013AA030601); 福建省科技重大专项 (No. 2014HZ0003-1); 福建省自然科学基金 (No. 2014J01236)

Foundation by National High Technology Research and Development Program of China (No. 2013AA030601); Important National Science & Technology Specific Projects of Fujian Province, China (No. 2014HZ0003-1); Natural Science Foundation of Fujian Province, China (No. 2014J01236)

* 通信联系人, E-mail: yeyun07@fzu.edu.cn

ing basically solved the problems of over etching and etching residual, reduced the yield loss of via etching defect rate by 73%. And contact resistance reduced by about 90%, ON-state drain current raised 15% of the dry etching. Therefore dry etching assisted with wet etching is an innovative method to optimize the via etching process and promote product performance.

Key words: LTPS TFT LCD; dry etching; wet etching; via etching of interlayer dielectric; contact resistance; device performance

1 引 言

随着平板显示超高分辨率的追求不断地加深,器件尺寸不断减小无疑是对工艺水平的一大挑战。基于目前主流的 G5.5 代 LTPS 生产制造中所用到的 1.3 m×1.5 m 尺寸的玻璃大板,制程中均一性包括刻蚀速率均一性,关键尺寸均一性,刻蚀剖面角的均一性等成为制程中关键技术节点。它的工艺水平将直接影响到最终产品质量及生产技术的先进性。

随着布线及过孔尺寸越来越精细化,对工艺制程的需求变得更加苛刻。其中层间绝缘层的过孔刻蚀因过孔深度较深,干法刻蚀均一性存在限制,即在玻璃大板中由于不同点位的差异存在刻蚀残留与有源层被过刻乃至刻穿的现象。且干法刻蚀在过孔刻蚀时刻蚀气氛直接刻蚀至有源层的表面,易对有源层造成氧化,杂质离子的引入,缺陷态的产生等,这些都大大影响了有源层与源漏电极层形成的欧姆接触性能。目前,因纯干法刻蚀在大板上刻蚀不均而造成刻蚀残留与过刻现象成为 ARRAY 工艺中的关键问题。距 2015 上半年解析数据显示,由层间绝缘层过孔异常导致影像类不良率约为 1.7%。且如何采取优化工艺减小有源层与源漏电极层形成的欧姆接触的接触电阻,提升 LTPS TFT 器件性能变得更加紧迫。为了改善接触电阻,白金超等^[1]研究了不同的过孔尺寸、过孔形状设计对欧姆接触电阻大小能取得一定优化。张定涛^[2]等验证了功率、气压、反应气体和比例等参数对各刻蚀步骤的刻蚀速率、均一性和选择比的影响关系,从而得到各膜层的最佳工艺条件,并且实验改进了刻蚀速率和均一性。但是随着分辨率的提升,在极细线宽的制约下,刻蚀线宽与刻蚀深度的均一性始终是刻蚀工艺中的关键问题。层间绝缘层过孔刻蚀工艺难度之高已成为制约产品良率与产品性能的关键制程。

作为一种能适应高分辨率图形转移可预见要求的唯一技术,即干法刻蚀技术^[3],几乎应用于 LTPS TFT 每道膜层的制备。高密度等离子体刻蚀可在相对较低的压力下,得到高的刻蚀速率,并可分别控制等离子体的能量和密度,可以在化学刻蚀、物理轰击与侧壁钝化保护等方面达到综合平衡^[4-5]。干法刻蚀的主要缺点是对下层材料的较差的刻蚀选择比、等离子体带来的器件损伤^[6-9]和昂贵的设备。为了减少刻蚀等离子体损伤,Kang S H, Kim J K 等人研究了中性离子束的 ICP 刻蚀法^[10]来降低刻蚀过程中对 MSQ 材料的离子损伤。湿法刻蚀仍被广泛地应用于当今集成电路制造、面板制造领域,这主要归因其工艺可精确控制薄膜的去除量以及工艺过程中对原材料的损耗较低。在剥离光刻胶,清除表面杂质方面,今后很长一段时间内其地位都将无法被取代。但随着工艺尺寸的不断缩小,使用湿法刻蚀进行图形化时,刻蚀线宽均匀性以及提高器件可靠性成为一个瓶颈。

在此,我们提出一种以干法刻蚀为主,湿法刻蚀为辅的方式对层间绝缘层进行过孔刻蚀。这样既结合干法刻蚀对侧壁剖面角的良好控制,及精确的控制刻蚀线宽能力,又利用了湿法刻蚀具有很高的刻蚀选择比的优良特性,改善层间绝缘层刻蚀形貌,以及利用湿法刻蚀减少光刻胶聚合物等杂质在多晶硅表面的残留,避免有源层表面被氧化,减少干法刻蚀对器件有源层的损伤、缺陷态的产生、杂质离子的引入。从而大大减小金属与有源层的接触电阻,提升 TFT 器件电学性能。

2 实 验

2.1 样品准备

实验中 TFT 采用顶栅结构,器件结构示意图如图 1 所示。本实验使用 Corning 玻璃,玻璃厚度 0.5 mm,尺寸 1 300 mm×1 500 mm。

在实验基板上依次形成缓冲层(Buffer),有源层多晶硅(Poly-Si),栅极绝缘层(GI),栅极层(M1),层间绝缘层(ILD),源漏电极层(M2)。

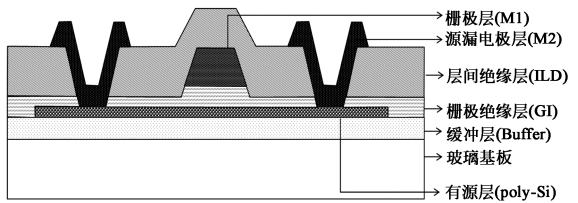


图 1 TFT 器件结构示意图

Fig. 1 Structure diagram of TFT device

多晶硅薄膜的制备使用 ULVAC SMD-1500XPE 等离子体增强化学气相沉积法 (Plasma Enhanced Chemical Vapor Deposition,PECVD)在玻璃基底上沉积 a-Si,厚度为 45 nm 再通过 JSW LA750-N1-M0. O0 准分子激光晶化(Excimer Laser Anneal,ELA)获得 poly-Si。再将上述玻璃进行离子掺杂形成源漏掺杂区。栅极绝缘层的制备使用 PECVD 沉积氧化硅,厚度为 60 nm。栅极层使用 ULVAC CMD-1500 HT 等离子辅助物理气相沉积法(Plasmas Assisted Physical Vapor Deposition,PAPVD)沉积一层金属 Mo。层间绝缘层的制备使用 PECVD 法沉积氧化硅与氮化硅两层结构,厚度分别为 300 nm/300 nm。

层间绝缘层的刻蚀过程采用两步刻蚀法,即干法刻蚀为主,湿法刻蚀为辅。第一步采用 TEL 1500 电感耦合等离子体刻蚀机台 (Inductively Coupled Plasma,ICP)进行干法刻蚀。关于 ICP 机台进行干法刻蚀硅的氮氧化物的主要原理包括化学刻蚀与物理刻蚀。干法刻蚀完成主要部分层间绝缘层的刻蚀,其中包括 SiO_x 、 SiN_x 膜厚分别为 300 nm、300 nm。刻蚀腔体压强小于 6.65 Pa,刻蚀气氛为 O_2 0~450 mL/min、 CF_4 200~400 mL/min、Ar 1 000~1 500 mL/min、 H_2 100~200 mL/min,源极射频功率为 15 000~20 000 W,偏置射频功率为 15 000~20 000 W,设备下部电极、反应腔壁和顶部温度分别为 0℃、90℃、20℃。

第二步湿法刻蚀采用氢氟酸系缓冲刻蚀液(BHF)刻蚀剩余的氧化硅膜层。BHF 刻蚀液是 NH_4F 和 HF 的水溶液、主要用于溶解洗净加工基板表面的 SiO_x ,其生成的不纯物是 $(\text{NH}_4)_2$

SiF_6 。主要湿法刻蚀反应方程式为:

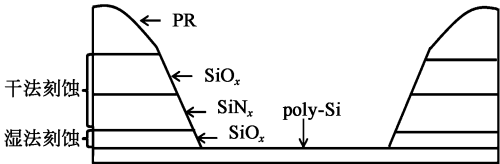


图 2 干法湿法结合过孔刻蚀示意图

Fig. 2 Structure diagram of via etching by dry assisted with wet etching

刻蚀完成后,使用 PAPVD 法进行源漏电极层的沉积、图形化与退火,源漏电极层采用 Ti-Al-Ti 三层结构,用以将器件的源漏电极信号引出作为电信号的输入与输出。

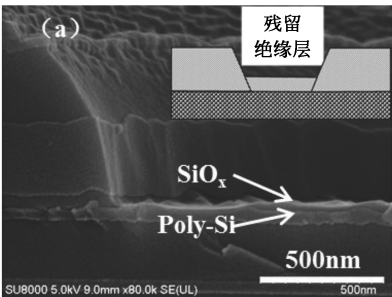
2.2 实验测试与表征分析

采用日立 SU-8000 冷场发射型扫描电子显微镜(Scanning Electron Microscopy,SEM)对过孔刻蚀形貌进行表征;采用 Agilent B1500A 半导体分析仪对样品进行电学性能的测试。采用 THERMO SCIENTIFIC ESCALAB 250 型 X 射线光电子能谱仪(X-ray photoelectron spectroscopy,XPS)分析刻蚀后有源层的化学成分。

3 实验结果与讨论

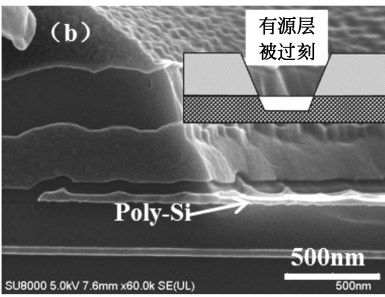
3.1 层间绝缘层过孔刻蚀 SEM 形貌表征与分析

我们在过孔处进行裂片,从截面处进行 SEM 形貌表征。在大量的实验优化中我们通过调试干法刻蚀工艺条件,能使过孔刻蚀形貌取得一定的优化,但是总有一些缺陷在相同的工艺条件下,同一玻璃大板的不同点位上会出现一些过孔刻蚀的

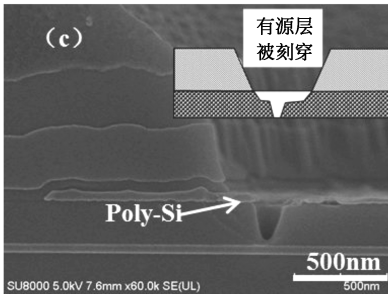


(a)干法刻蚀(刻蚀残留)

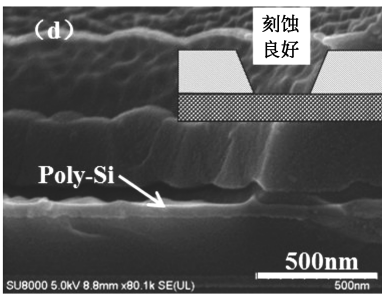
(a)Dry etching(Etching residual)



(b) 干法刻蚀 (刻蚀过刻)
(b) Dry etching (Over etching)



(c) 干法刻蚀 (刻蚀过刻且有源层被刻穿)
(c) Dry etching (Over etching with active layer pierced through)



(d) 干法湿法刻蚀结合 (刻蚀良好)
(d) Dry etching assisted with wet etching (Well etching)

图 3 不同刻蚀方式下过孔 SEM 形貌

Fig. 3 SEM images of via profile by different etching methods

不良。图 3(a~c)为采用纯干法刻蚀时过孔刻蚀典型不良形貌 SEM 图。

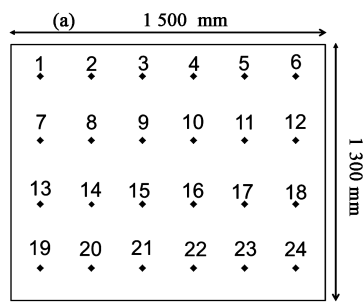
由于底部氧化硅膜层未被刻蚀完全形成刻蚀残留,如图 3(a),刻蚀残留造成在源漏电极区无法形成欧姆接触,在面板显示时造成暗亮线、暗亮点等影像类不良。在纯干法刻蚀中为了保证刻蚀完全将对有源层做一定的过刻处理。当过刻量在 5~15 nm 间时欧姆接触电阻在 5 000 Ω 左右,存在一定的提升空间,且片内均一性较差。如前所

述在整张玻璃大板上刻蚀均一性问题,并不能保证每个点位都刻蚀得刚好,特别是连续生产过程中玻璃大板之间刻蚀深度也存在一定波动性。大量实验表明在过刻量超过 15 nm 时,如图 3(b),对欧姆接触性能影响较大,且此时容易出现部分点位有源层被刻穿的现象如图 3(c)。有源层被刻穿时,容易使得源漏电极层在成膜时造成底钛膜层的断线,金属铝与有源层直接接触形成铝硅固溶体,此时欧姆接触性能差,且器件可靠性受到影响。图 3(d)为采用干、湿法刻蚀相结合时过孔刻蚀形貌。由于 BHF 刻蚀液对 poly-Si 与 SiO_2 的刻蚀选择比很高,即使延长刻蚀时间也对 poly-Si 的刻蚀量很少,因而通过适当地延长刻蚀时间能够使得氧化硅被完全刻蚀,又不造成底部有源层的过刻,真正做到零过刻零残留。此外,通过调整干法刻蚀工艺条件过孔刻蚀剖面角可根据需求控制在 $40^\circ\sim 80^\circ$ 之间,以增加源漏金属在过孔爬坡处膜厚的均一性,形成良好的覆盖连续性。经过大量实验验证基于干法刻蚀为主湿法刻蚀为辅的刻蚀方法使得层间绝缘层开孔异常的不良现象得到解决,过孔异常导致影像类不良率得以改善 73% 以上。

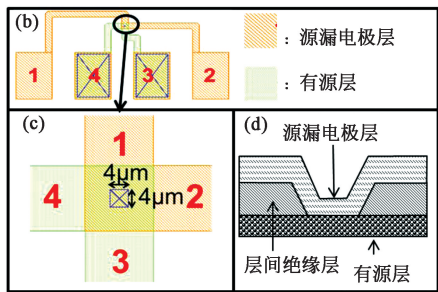
3.2 欧姆接触电阻及器件性能测试与分析

为了更能反应在整张玻璃大板上不同点位所制备的 TFT 器件源漏电极欧姆接触电阻,我们在大板上均匀的选取 24 个点位如图 4(a)进行测试。接触电阻测试图形如图 4(b~d)。层间绝缘层过孔尺寸为 $4\text{ }\mu\text{m}\times 4\text{ }\mu\text{m}$,如图有源层与源漏电极层在过孔处形成欧姆接触。为了避免导线电阻带来的压降,过孔底部为有源层通过测试 Pad3、4 引出,源漏电极层通过过孔搭接在有源层上连接至 Pad1、2,测试时 Pad2 与 Pad4 通入电流值 I ,为了避免导线的压降,分别测量 Pad1 和 Pad3 之间电势差 ΔV ,接触电阻 $R_c = \Delta V(1,3)/I(2,4)$,其中 I 从 10^{-5} A 到 10^{-4} A 以 10^{-5} A 为步长,测量 10 组取平均值。

这里分别选取具有代表性的不同刻蚀方式下同张玻璃大板上的不同点位,使用半导体分析仪测试得到的接触电阻测试结果如图 5。其中纯干法刻蚀接触电阻 R_c 的波动范围大,一般为 2 000~7 000 Ω ,均值为 4 500 Ω 左右。干、湿法结合 R_c 波动范围为 250~700 Ω ,均值约 400 Ω ,较干法刻蚀接触电阻减少达 90%,且具有良好片内均一



(a)测试点位分布图
(a)Test points distribution



(b)版图设计, (c)过孔接触版图设计, (d)过孔接触截面示意图
(b)Layout design of the test pattern, (c) Layout design of contact via, (d) Via profile diagram

图 4 接触电阻测试点位及测试图形示意图
Fig. 4 Test point distribution and test pattern diagram of contact resistance

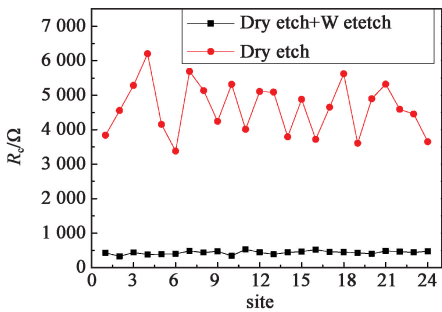
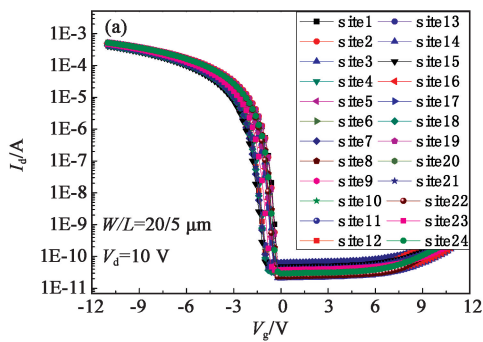
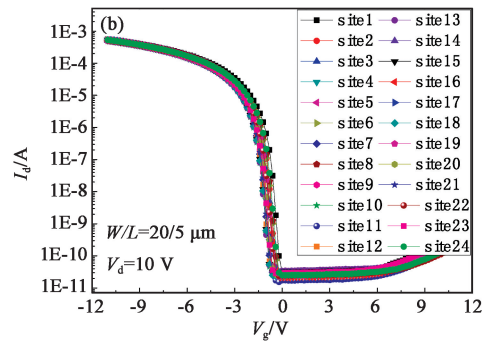


图 5 不同刻蚀方式形成的接触电阻
Fig. 5 Contact resistance with different etching methods

性。此实验结果已经通过生产大量验证。
为了测试不同刻蚀方式对 TFT 器件电学性能的影响,我们同样在如图 4(a)的点位处设计了 P 型 TFT 测试器件,器件沟道 $W/L=20\ \mu\text{m}/5\ \mu\text{m}$ 。如图 6 为使用半导体分析仪在 $V_d=10\ \text{V}$ 下测试得到的器件转移特性曲线 (I_d-V_g)。从图 6 中可以分析得到不同的刻蚀方式对器件的开启电



(a)干法刻蚀
(a)Dry etching



(b)干法、湿法刻蚀结合
(b)Dry assisted with wet etching

图 6 不同刻蚀方式下 TFT 器件转移特性曲线
Fig. 6 TFT transfer characteristic curve with different etching methods

压影响不大,均为约 $-1.2\ \text{V}$,关态电流也稳定在一致水平。但是从不同点位上器件性能的稳定性的来看,干法刻蚀所制备的器件性能漂移更严重,干法、湿法刻蚀结合对整张玻璃大板上器件性能能起一定的收敛作用,均一性更好。从 I_d-V_g 曲线上进而可得器件开态电流 I_{on} ,如图 7,干法、湿法刻

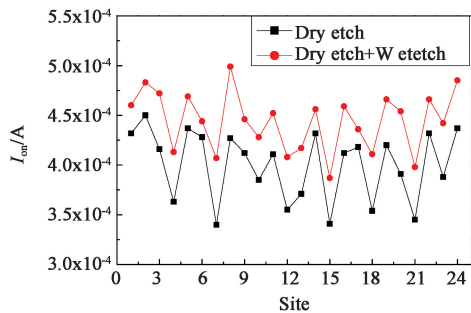
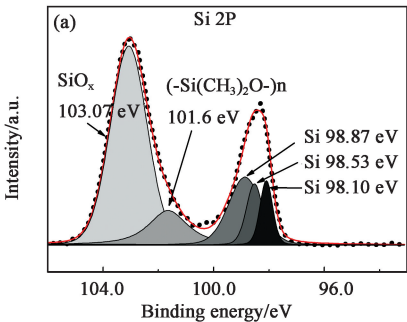


图 7 不同刻蚀方式形成的 TFT 器件开态电流 (I_{on})
Fig. 7 ON-state drain current (I_{on}) of the TFT device with different etching methods

蚀结合 I_{on} 的均值为 4.4×10^{-4} A, 比干法刻蚀 I_{on} 均值 3.9×10^{-4} A 提升了约 15%。

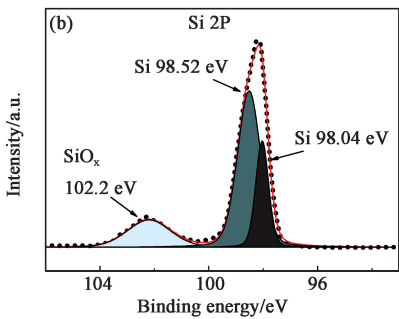
3.3 过孔刻蚀有源层多晶硅 XPS 表征与分析

为了进一步获得过孔刻蚀过后多晶硅更多的信息, 我们采用 XPS 表征其成分。



(a) 干法刻蚀 XPS 能谱

(a) XPS spectra with dry etching method



(b) 干法湿法刻蚀结合 XPS 能谱

(b) XPS spectra with dry assisted with wet etching method

图 8 不同过孔刻蚀方式下有源层 Si 2P 高分辨率 XPS 谱图

Fig. 8 High-resolution Si 2P XPS spectra of active layer with different via etching methods

从图 8 和表 1 可以看出干法湿法结合过孔刻蚀后有源层多晶硅表面的 C、O 原子浓度百分比均有所减小。如图 8(a) 中结合能为 103.07 eV 峰的位置对应 Si 的氧化物 SiO_x , 结合能为 101.6 eV 峰的位置对应 Si 与 C 等元素的化合物。这是因为在干法刻蚀下, 有源层直接暴露在等离子体气氛中, 在具有强氧化性的 F^* 、 O^* 活性等离子体作用下多晶硅极易被氧化, 并且在等离子体的轰击下多晶硅中的键结易被打断形成悬挂键, 使得氧化更易发生、缺陷态也因此增大。此外光刻胶在刻蚀过程中产生的副产物包括多种含 C 聚合物, 少量甚至与表层多晶硅反应。这一氧化层及

杂质增加了额外的势垒高度, 阻碍了载流子从金属到半导体的输运, 从而使欧姆接触电阻增加。

表 1 不同过孔刻蚀方式下有源层中 C、O 原子浓度百分比

Tab. 1 Atomic percentage concentration of C、O in active layer with different via etching methods

Sample	Name	Peak Position/eV	At./%	Compound
Dry etch	C(1s)	284.59	10.73	Polymer +Else
		286.08	7.73	
		288.64	1.57	
Dry etch+	O(1s)	531.83	42.62	SiO_x Else
		284.62	10.5	
		286.29	3.5	
Wet etch	O(1s)	288.49	0.74	SiO_x
		532.57	23.96	

如图 8(b) 中结合能为 102.2 eV 峰的位置同样对应 Si 的氧化物, 且不含有 Si 与其他元素结合的峰位。理论上, 湿法刻蚀后多晶硅表面不应存在 SiO_x , 但由于多晶硅表面易被自然氧化, 所以此峰应为在制样与测试过程中多晶硅被自然氧化的结果。而干法刻蚀在还没刻蚀到多晶硅表面时就已经停止, 继而辅以湿法刻蚀, 这样就不存在等离子体轰击多晶硅的情况, 也不会有刻蚀产物掉入过孔内。因此干法湿法刻蚀结合进行层间绝缘层的过孔刻蚀能够有效改善欧姆接触的性能。

4 结 论

使用干法刻蚀为主湿法刻蚀为辅的方式对层间绝缘层过孔刻蚀能完全有效地解决纯干法刻蚀在玻璃大板上刻蚀残留与过刻的问题, 做到对有源层的零过刻零残留, 使得层间绝缘层开孔异常导致的影像类不良率减少 73%。并且利用湿法刻蚀作为辅助刻蚀有效地避免了有源层被氧化, 防止刻蚀副产物污染开孔表面, 减少了干法刻蚀对器件有源层的损伤、缺陷态的产生, 使得源漏电极欧姆接触的接触电阻降低约 90%, 器件开态电流提升 15%。从玻璃大板片内均一性及片间的均一性上看无论是欧姆接触电阻还是器件转移特性曲线都有大幅提高。

参 考 文 献:

[1] 白金超,王玉堂,郭总杰,等. TFT-LCD 过孔接触电阻研究[J]. 液晶与显示,2015,30(3):432-436.
BAI J C, WANG Y T, GUO Z J, *et al.* Via hole contact resistance in TFT-LCD [J]. *Chinese Journal of Liquid Crystal and Displays*, 2015, 30(3): 432-436. (in Chinese)

[2] 张定涛,李文彬,姚立红,等. 大尺寸 TFT-LCD ECCP 刻蚀工艺低耗整合[J]. 液晶与显示,2014,29(1):7-14.
ZHANG D T, LI W B, YAO L H, *et al.* Low consumption of large-sized TFT-LCD ECCP etch process [J]. *Chinese Journal of Liquid Crystal and Displays*, 2014, 29(1): 7-14. (in Chinese)

[3] QUIRK M, SERDA J. *Semiconductor Manufacturing Technology* [M]. Upper Saddle River, NJ: Prentice Hall, 2001.

[4] NG R M Y, WANG T, LIU F, *et al.* Vertically stacked silicon nanowire transistors fabricated by inductive plasma etching and stress-limited oxidation [J]. *IEEE Electron Device Letters*, 2009, 30(5): 520-522.

[5] PEARTON S J, NORTON D P. Dry etching of electronic oxides, polymers, and semiconductors [J]. *Plasma Processes and Polymers*, 2005, 2(1): 16-37.

[6] TONG M, BALLEGEER D G, KETTERSON A, *et al.* A comparative study of wet and dry selective etching processes for GaAs/AlGaAs/InGaAs pseudomorphic MODFETs [J]. *Journal of Electronic Materials*, 1992, 21(1): 9-15.

[7] SHIMATSU T, KATAOKA H, MITSUZUKA K, *et al.* Dry-etching damage to magnetic anisotropy of Co-Pt dot arrays characterized using anomalous Hall effect [J]. *Journal of Applied Physics*, 2012, 111(7): 07B908.

[8] MARTIN A. Review on the reliability characterization of plasma-induced damage [J]. *Journal of Vacuum Science & Technology B*, 2009, 27(1): 426-434.

[9] MOREAU W M. *Semiconductor Lithography: Principles, Practices, and Materials* [M]. New York: Springer Science & Business Media, 1998.

[10] KANG S H, KIM J K, LEE S H, *et al.* Low damage etching method of low-k material with a neutral beam for interlayer dielectric of semiconductor device [J]. *Journal of Vacuum Science & Technology A*, 2015, 33(2): 021309.

作者简介:陈丽雯(1990—),女,福建建瓯人,硕士研究生,主要从事 LTPS TFT 器件工艺及面板设计等方面的研究。E-mail:759668525@qq.com

叶芸(1977—),女,福建建阳人,研究员,硕士生导师,主要从事光电显示器件研究。

郭太良(1963—),男,福建仙游人,研究员,博士生导师,主要从事 FED 显示器等研究。

彭涛(1985—),男,湖北洪湖人,硕士研究生,主要从事 LTPS TFT 器件工艺及面板设计等方面的研究。